ここから始めるアナ・ディジ混載設計



デバイスの記事

第5回 A-Dコンバータのアーキテクチャ

湯川 彰

今回はA-Dコンバータの具体的な回路構成，およびそれらを構成する素子に必要な性能について解説する．前回(本誌2005年5月号，pp.122-131)説明したように，A-Dコンバータのアーキテクチャには，積分型，逐次比較型，並列型，サブレンジング型，パイプライン型などがあり，要求される分解能やサンプリング周波数に応じて，使い分けられている．

(編集部)

A-Dコンバータは，入力されたアナログ値にもっとも近いディジタル・コードに対応づけられたアナログ量を探索する回路です．その探索方法によって方式を分類できることは前回お話ししました．また，A-DコンバータはD-A変換回路，コンパレータ，制御回路から構成されますが，目標とする分解能や変換速度によって，必要なハードウェアの構造や構成する素子に要求される性能が変わります．今回は，A-Dコンバータの回路が具体的にどうなっていて，それらを構成する素子に必要な性能はどのようにして決まるのかについてお話しします．

●DACを利用して比較する信号を順番に出力する積分型

高い精度を持つA-Dコンバータを実現するための第1歩は，基準となるD-A変換回路の精度を高めることです．積分型A-Dコンバータは，このD-A変換回路の動作に制約を設けることで，高い精度を実現する方法と考えることができます．

積分型A-Dコンバータは，D-A変換回路を利用して比較する信号を低い電圧から順番に出力し，これと入力電圧を毎回比較します．そして，D-A変換出力のほうが大きくなったときを変換値とします．ここで，ふつうのD-A変換回路ではなく，ゼロから一定の割合で電圧を上げていく回路を用いれば，動作が簡単になると想像できます．ディジタル値は，入力と一致するまでの時間を測ることで得られます．ゼロから順番に判定するわけですから，Nビットを変換するときには2^N-1回の判定が必要になり，変換に時間がかかります．例えば，10ビット分解能を実現するためには1023クロック周期が必要です．分解能を1ビット上げるためには，2倍のクロック数が必要となります．そのため，積分型A-Dコンバータは変換速度が遅くてもかまわないディジタル・マルチメータや温度計などの分野で用いられてきました．

この原理のとおりに回路図を書くと，**図1**のようになります．ここでは，一定の割合で電圧を上げる回路としてミラー積分回路を用いています．ただし，この回路を精度良く動作させようとすると，いくつかの課題が思い浮かびます．第1に，入力電圧が変動したとき，D-A変換出力が入力電圧と一致する時刻が変化するので，変換された電圧がいつの時点の電圧なのか不確かになります．そのため，サンプル・ホールド回路が必要となります．また，基準電圧を$-V_R$，抵抗をR，容量をCとし，OPアンプ(演算増幅器)のオープン・ループ・ゲイン注1が十分に大きく，積分を開始する電圧をV_Sとすると，ミラー積分出力電圧Vは以下の式で表されます．

$$V=\frac{V_R}{CR}t+V_S \quad \cdots\cdots(1)$$

ここでCとRと$-V_R$を作る必要がありますが，どれもば

注1：日本語にすると「開放利得」．フィードバックのない状態におけるOPアンプの直流の増幅率．OPアンプを用いた回路特性の設計精度に大きく影響する．高利得設計を行っていないMOS回路では50dB～60dB程度と，バイポーラの場合と比べて小さい．積分型A-Dコンバータなどのためには，利得を高める回路方式を選ぶ必要がある．

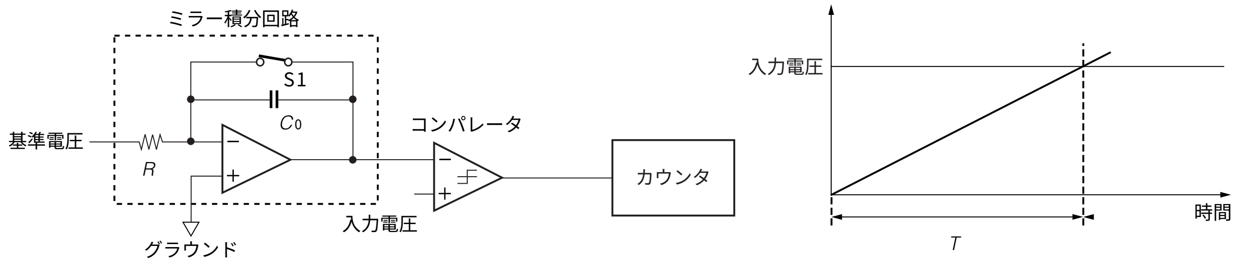


図1　積分型A-Dコンバータの原理図

ミラー積分器で生成するランプ波の電圧が入力電圧を超えるまで，カウンタによって時間をカウントする．得られたカウンタの値は入力電圧に比例する．

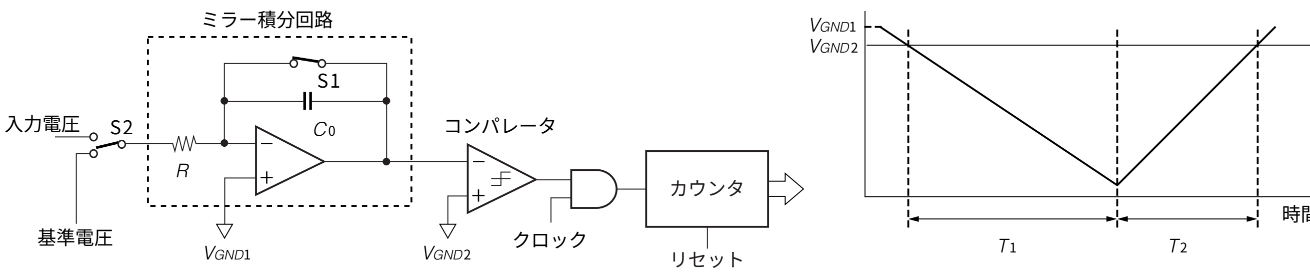


図2　二重積分A-Dコンバータ

まず，入力電圧を一定時間積分した後，同じ積分回路の入力電圧を基準電圧に切り替えて，放電する時間をカウンタで計測する．入力信号も基準電圧も同じ積分回路を通るので，抵抗，容量，コンパレータのオフセット電圧を自動的に補正できるという特徴がある．

らつきます．また，V_Sはミラー積分器に用いるOPアンプのオフセット電圧になります．MOS型のOPアンプのオフセット電圧は，たとえ注意深く設計したとしても，数mV程度の変動を覚悟しなければなりません．そこで，トリミングを行って補正する必要があるのですが，変数が多いということは変動範囲も広いことを意味します．これはかなりのコスト・アップになってしまいます．

これらの課題を改善したデュアル・スロープ(dual slope)型のA-Dコンバータを**図2**に示します．この回路は，入力抵抗RとOPアンプ，積分容量C_0で構成されるミラー積分器，コンパレータ，カウンタ，およびこれらを制御する回路から成り立っています．構成要素となるアナログ素子は**図1**と大差ありません．

この回路の動作について説明します．まず，積分容量C_0と並列に接続されているスイッチS1をONすることで積分容量C_0の電荷を放電するリセット操作から始めます．このとき，OPアンプの正入力はV_{GND1}に接地されているので，出力も接地電位になります．次に，S1をOFFするとともにスイッチS2を信号入力に切り替え，入力信号の積分を開始します．このとき，コンパレータに与える基準電圧V_{GND2}をV_{GND1}より低くしておきます．すると，入力の積分を開始して，少したったところでコンパレータの出力が‘1’となります．ここからカウントを開始し，一定時間T_1だけ積分します．T_1が経過したとき，S2を基準電圧側に切り替えるとともに，カウンタをリセットします．すると，積分回路は放電を開始します．そして，コンパレータが‘0’となったときのカウンタ値T_2を読めば，入力電圧V_iは以下の関係になるので，入力電圧を求めることができます．

$$V_i = \frac{T_2}{T_1} V_R \quad \cdots\cdots (2)$$

ここで，時間測定に水晶発振器によるクロック信号を用いれば，周期に対して6けた以上の精度を容易に実現できます．さらにつごうが良いのは，時間比の形でしか式には現れていないので，絶対的な周波数精度は問題となりません．また，この式にはCもRも現れず，誤差はV_Rによるものだけとなります．加えて，入力信号の積分開始電圧と基準電圧による放電終了電圧を同じV_{GND2}にしているので，積分回路とコンパレータのオフセット電圧もキャンセルされます．それでも12ビット以上の精度を目標にする場合には，積分容量が電圧依存性などの非線形性を無視できること，OPアンプの利得が有限であるために積分特性が完全

でないこと，コンパレータの遅延時間，OPアンプやコンパレータのノイズなどの影響を考慮する必要があります．

この回路を設計する際の問題として，C_0，R，V_R，クロック周波数，およびOPアンプとコンパレータの特性があります．Rの下限値を決めるのは，入力信号と基準電圧の信号源インピーダンスがRより十分小さくなければならないという条件です．これは，ミラー積分器の積分電流が入力電圧を入力抵抗の総和で割った値となるからです．したがって，例えば10ビット精度が必要であれば，信号源インピーダンスに許容できる抵抗はRの0.1%より小さくなければなりません．もし，この条件を満たすことができないときは，入力にバッファ増幅器を付加する必要があります．一方，Rの上限値の主要な制限要素は，信号電流が回路のリーク電流より十分大きいという条件と，抵抗の専有面積の許容範囲であることです．

Cの値はRの値ともリンクしますが，最大入力電圧を積分したときに精度良く積分できる出力信号電圧となるようにCの値を決める必要があります．というのは，積分した電圧はOPアンプの出力電圧範囲を超えることはないからです．そこでRを1MΩとし，出力電圧の最大値V_{OMAX}を1V，積分時間T_1を100ms，入力電圧の最大値V_{IMAX}を1Vとすると，以下の関係より$C \geqq 10^{-7}$となって，0.1μF以上ということになります．

$$\frac{V_{IMAX}}{R} T_1 \leqq C V_{OMAX} \quad \cdots\cdots(3)$$

この値は集積回路上で実現するには大きすぎる値です．

V_Rはふつう，バンドギャップ・リファレンスから作ります．バンドギャップ・リファレンスの温度特性が100ppm/℃前後では，電圧の絶対値誤差が数%あります．そのため，それ以上の精度が必要なときにはトリミングが必要です．

OPアンプのオープン・ループ・ゲインがどれだけ必要かは，ミラー積分器の伝達特性から導きます．ミラー積分器の伝達特性は，回路方程式を解き，ラプラス平面から時間平面に変換することによって求めるのがふつうでしょう．オープン・ループ・ゲインをA，入力電圧をV_i，出力電圧が$t=0$で$V_0=0$とすると，時間領域の伝達特性は以下のようになります．

$$v_0 = -A\left\{1 - e^{\frac{-t}{(1+A)CR}}\right\} v_i \quad \cdots\cdots(4)$$

指数部が1より十分小さいという条件では，以下のように近似できます．

$$v_0 \approx -\frac{At}{(1+A)\,CR} v_i \quad \cdots\cdots(5)$$

このように，時間に比例して出力電圧が減少する理想的な積分特性となります．そのため，積分時間tと分母の比が十分小さいことが保証できるように利得を決める必要があるわけです．

最後に，クロック周波数の制約条件です．クロック速度を上げればそれだけ分解能が向上すると考えられますが，積分出力がV_{REF2}を超えてからコンパレータが'0'を出力する時間遅れを考えなければなりません．つまり，コンパレータが1LSB（least significant bit）の入力変化に対してどれだけ早く応答できるかです．この応答時間より短い周期には応答できませんから，誤差が生じることになります．1LSBの値は，最大振幅が1Vで分解能を10ビットとしても，1mV以下になります．つまり，コンパレータの仕様との相談ということになります．

なお，二重積分型のA-Dコンバータでは入力信号を時間T_1だけ積分した電荷量をディジタルに変換するので，方形窓の伝達特性$\sin(\omega T_1)/(\omega T_1)$で表される周波数特性を示します（本誌2004年10月号，pp.87-93の「ミックスト・シグナルLSI設計における信号の取り扱い」を参照）．この特性では，正弦項のかっこの中がπごとにゼロになります．この性質を利用して，例えば100msを積分時間に設定すると，日本では天竜川以東では50Hz，以西では60Hzになっている商用周波数で結合するノイズのどちらも排除できます．

● ディジタル値の探索に2分探索法を用いる逐次比較型

逐次比較型（successive approximation）A-Dコンバータは数十kサンプル/s～2Mサンプル/s[注2]のサンプリング・レートで利用されます．これは，おそらくもっともよく利用されているA-Dコンバータでしょう．例えば自動車やロボット，プリンタ，ディジタル・カメラなどの制御に用い

注2：サンプリング周波数の単位．Hzやsps（sampling per second）を用いることもある．

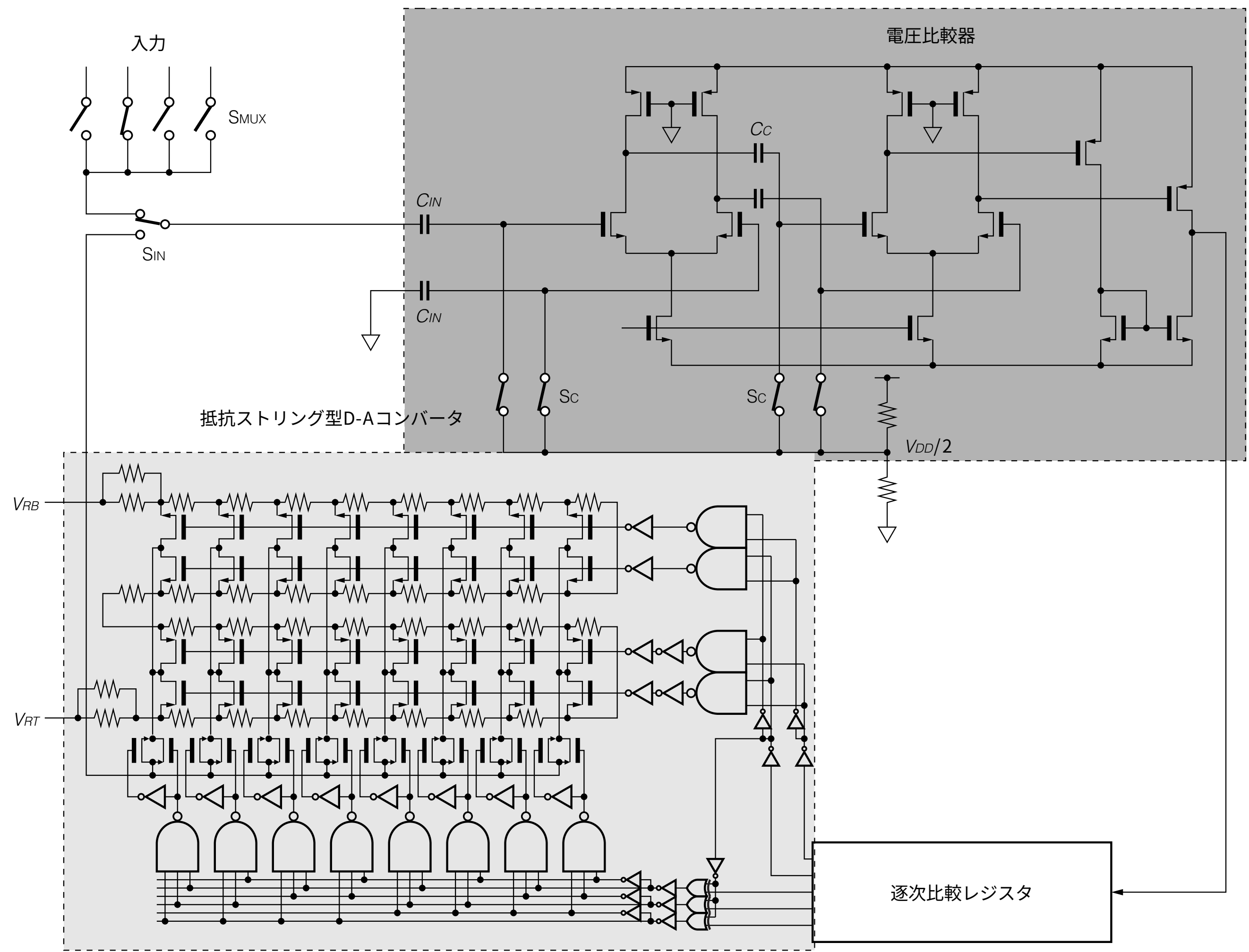


図3　抵抗ストリング型のD-A変換回路を用いた逐次比較型A-Dコンバータ

D-A変換回路に抵抗ストリング型のものを用い，C_{IN}をサンプリング容量とした逐次比較型A-Dコンバータ．コンパレータでは，低利得の差動回路を容量結合で縦続接続することにより，オフセット電圧をキャンセルしている．

られています．

この方式は，ディジタル値の探索に2分探索法（探索範囲を1/2，さらに1/2，…と範囲を狭めながら探索する方法）を用います．そのため，Nビットの分解能を実現するためにN回の比較を行うだけで済みます．その代わりD-A変換回路は，そのアルゴリズムに従って，コンパレータの比較結果に応じてアナログ値を高速に出力できる必要があります．

逐次比較型A-Dコンバータの回路例を**図3**に示します．これは，入力部に4チャネルのマルチプレクサを持ったA-Dコンバータです．コンパレータ，抵抗ストリング型D-A変換回路，逐次比較レジスタ[注3]から構成されます．ここでは回路図を簡略化して描いています．なお，A-Dコンバータに搭載されるD-A変換回路は，通常のD-A変換回路の出力より0.5LSBだけ低い電圧を出力するように設計します．**図3**にも示していますが，例えば抵抗ストリング型の場合，最小値を分圧する抵抗と並列に，同じ抵抗を接続してあります．また，最上位については，抵抗とV_{RT}入力の間に単位抵抗を2個並列に接続したものを挿入することで実現しています．

動作を，**図4**のコンパレータ入力点におけるタイミング図に沿って説明します．この図は，基準の低電圧側V_{RB}がグラウンド電圧，高電圧側V_{RT}が電源電圧で，フルスケールを256とする8ビットA-Dコンバータに150の入力が入ったとして描いています．

注3：逐次比較型A-DコンバータのD-A変換回路（ブロック）を制御するレジスタ．変換ビットを指し示すポインタの役割を担うシフト・レジスタと，D-A変換回路の各ビットに対応して変換の途中結果を保持するフリップフロップから構成される．

まず，マルチプレクサによってA-D変換するチャネルを決め，入力スイッチS_{IN}をマルチプレクサ側に切り替えて時刻T_0まで入力をサンプリングします．このとき，S_CもONします．すると，コンパレータの入力電圧は正入力，負入力ともに$V_{DD}/2$で，C_{IN}には入力電圧V_{IN}と$V_{DD}/2$の差電圧がかかっています．また，コンパレータの1段目の出力ではオフセット分の差電圧が初段差動増幅器の利得倍されていますが，2段目では容量結合になっています．2段目の入力は正負とも$V_{DD}/2$にバイアスされているので，この容量により1段目の差動増幅器のオフセット電圧が蓄えられて，2段目に対しては影響しないことになります．なお，このタイミングで逐次比較レジスタをクリアして，ポインタをMSB（most significant bit）にセットするとともに，MSBに‘1’を立てます．

T_0でS_{IN}をD-Aコンバータ側に切り替えます．すると，D-Aコンバータから128が入力されますが，この値は入力電圧の150より小さいので，コンパレータの入力電圧は下がります．その結果，コンパレータ出力には‘0’が出力され，まだ低いということで，T_1のタイミングでMSBに‘1’を確定します．

T_1で‘1’が確定すると，逐次比較レジスタのポインタは2番目のビットに移動し，このビットを‘1’にして192を出力することになります．すると今度は大きすぎるので，コンパレータは‘1’を出力し，T_2で‘0’を確定してポインタは3番目のビットに移動します．

T_2では上位3ビットが“101”の160を出力しますが，まだ150より大きいので，このビットも‘0’が確定します．このようにして上位ビットから順番にビットを確定していくのが逐次比較型A-Dコンバータです．

動作原理からわかるように，この回路にはサンプル・ホールド機能が内蔵されています．そのため，折り返しノイズを防ぐためには入力の前に折り返しノイズ防止のためのフィルタを接続する必要があります．また，A-D変換のために，少なくとも分解能に等しいクロック・サイクル数と入力をサンプリングするための時間が必要です．例えば10ビットであれば，少なくともサンプリング周波数の12倍以上のクロック信号を供給しなければなりません．

設計を行う際には，入力信号がサンプリング時間内に必要とする精度以上に正確にサンプリングできるように信号源インピーダンスを勘案してスイッチのインピーダンスを調整すること，D-A変換回路がサンプリング周期内にセトリングするとともにその結果を正しくコンパレータが判定することが求められます．同時に動作中に内部の電圧変化で寄生的なpn接合が順バイアスしないように動作点を選ぶことが求められます．これは，オフセット・キャンセル操作が，電荷保存が維持されることを前提に成り立っているしくみだからです．pn接合が順バイアスすると電荷保存則が成り立たなくなり，オフセット電圧が発生して誤動作します．

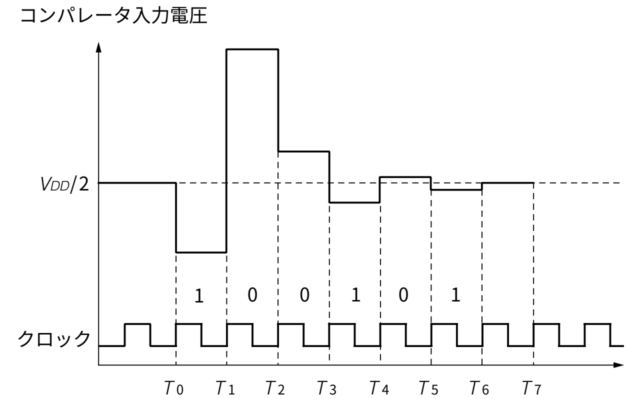


図4　逐次比較型A-Dコンバータのタイミング図

逐次比較型A-Dコンバータのコンパレータ入力点における電圧変化を示した．信号サンプリング時に基準点のバイアス状態とし，コンパレータ入力をD-A変換回路に切り替え，D-A変換出力がもっとも入力電圧に近くなる（すなわちコンパレータ入力が基準点の電圧に近くなる）ように上位側からビットを確定していく．

●D-A変換回路をキャパシタ・アレイに変える

抵抗ストリング型のD-A変換回路では基準電圧を発生するために電流を流さなければなりません．電流を流すと配線の寄生抵抗によって電圧降下が生じるので，基準電圧を供給する配線には注意が必要です．また，サンプリング容量が独立して必要となります．D-A変換回路をキャパシタ・アレイ（容量アレイ）に変えれば，サンプリング容量と兼用できます．容量は充電を完了すると電流がそれ以上流れないので，寄生抵抗の影響を小さくできる可能性があります．

そのようにして構成した4ビットA-Dコンバータを**図5**に示します．この回路でもコンパレータの入力インピーダンスをそろえるためと，コンパレータまでのノイズ結合を正負で等しくするために，コンパレータの負入力に正側と同じ構成の回路を接続しています．ただし，スイッチを切り替えても電圧が変わるわけではありません．

ここで，サンプリング容量の値は，以下の条件を満たす

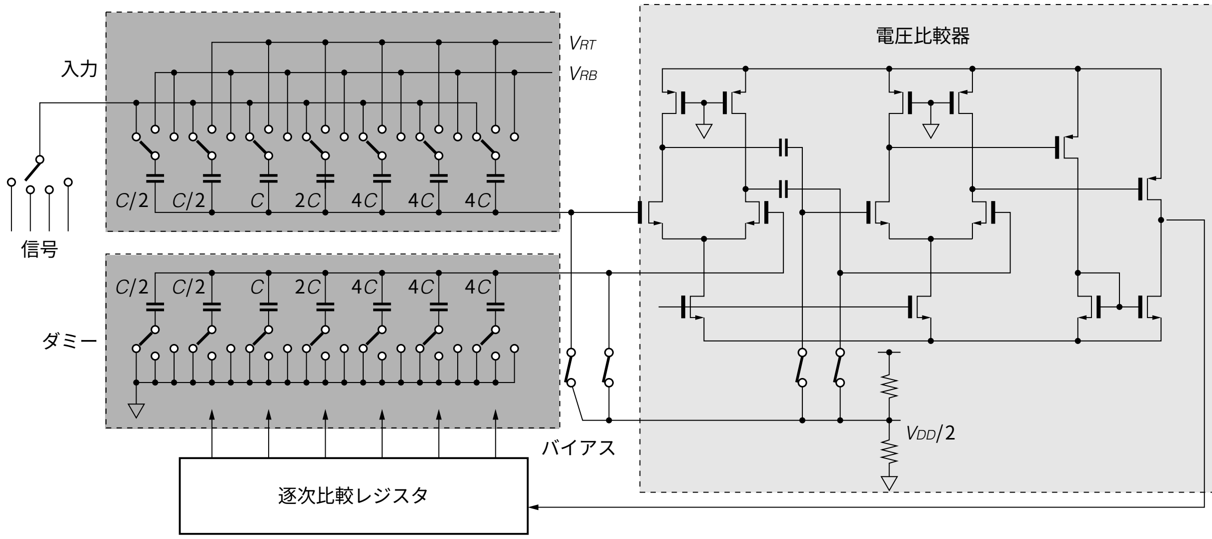


図5　キャパシタ・アレイを用いた逐次比較型A-Dコンバータ

キャパシタ・アレイをD-A変換回路とサンプリング容量に兼用した逐次比較型A-Dコンバータ．キャパシタ・アレイは単純な2進重み付けではなく，上位何ビットかに等容量のアレイを用いることで，微分直線性の悪化を防ぐ．コンパレータ入力は平衡化したほうが，スイッチのフィード・スルーやノイズ誘導による特性劣化を防ぐうえでは有利となる．その代わり面積は増加するので，コスト・アップになる．

ように設計します．

- **熱雑音が無視できる**
- **変換期間中のリーク電流による電圧変動を無視できるだけの電荷を蓄えられる**
- **ペアとなる容量をレイアウトしたとき，マッチング精度をある程度確保できる**

また，**図5**は，上位2ビット分は等容量で，下位は2進重み付けしたキャパシタ・アレイで構成しています．ビット数が多くなると，MSBの切り替わりで大きな微分直線性誤差（DNL：differential non-linearity）を生じやすくなります．そこで，上位何ビットかについて，電流D-Aコンバータで行ったように等しい容量を順次選択する方法を用いると，微分直線性が改善しやすくなります．また，**図5**では示していませんが，キャパシタ・アレイのLSB容量にさらに抵抗ストリングのD-A変換回路を接続する方法もあります．キャパシタ・アレイを例えば6ビットとし，残り4ビットを抵抗ストリングとすることで，積分直線性（INL：integral non-linearity）は悪くなっても微分直線性は良好な10ビットA-Dコンバータを小面積で実現できます．

以上述べたように，D-A変換回路については，回路のくふうによっていろいろなバリエーションが考えられます．

● コンパレータを並べて一括比較する並列型

積分型A-Dコンバータでは2^N回，逐次比較型A-DコンバータでもN回の比較操作が必要です．比較操作はA-Dコンバータの高速化に対する最大のボトルネックです．そこで，コンパレータを分解能の数だけ並べて一度に比較すると，非常に高速なA-Dコンバータを実現できます．**図6**にブロック図を示します．**図6**ではオーバフローを示すためのコンパレータを追加しています．6ビットくらいまでであれば1列にレイアウトできますが，それ以上になると列を分割して折り返したレイアウトになります．

この方式は，分解能と等しい数のコンパレータ（8ビットであれば255個，10ビットなら1023個）が必要となるので，高精度化にはおのずと限界があります．実際に試作されているのは10ビットまででしょう．また，コンパレータが多数搭載されるので，コンパレータの感度とオフセット電圧の分布が精度を上げる際の第1の問題となります．

全並列型（full flash）A-Dコンバータは，コンパレータのほか，基準となる電圧刻みを発生させる抵抗ストリング型D-A変換回路，符号変換回路から構成されます．原理的にはサンプル・ホールド回路は不要ですが，クロックがそれぞれのコンパレータに到達するタイミングと，信号が入力端子からそれぞれのコンパレータに到達するタイミングをそろえる必要があります．このタイミング精度は，本誌2004年10月号，pp.87-93で説明したアパーチャ不確定の制約を満たすことになります．100MHzの信号であれば，8ビットでも25psの精度でそろえなければなりません．

ちなみに電磁波の伝わる速度は真空中で1ps当たり300μmで，Si（シリコン）の酸化膜の比誘電率が4なので，集積回路中ではだいたい150μmです．例えば，コンパレータを1列に，1mm並べたとき，端から端まで伝わるのに光速をもってしても6.7psかかる計算です．これに配線抵抗と負荷容量による遅延が加わります．100MHz以上の信号周波数を変換するときは，入力にサンプル・ホールド回路が必要になります．

このA-Dコンバータは，基準電圧に最低電圧がかかったコンパレータから，入力電圧よりわずかに低い基準電圧が印加されたコンパレータまではクロック信号に同期して‘1’を出力し，それより上は‘0’となります．これをコード変換するには，ちょうど‘1’から‘0’へ切り替わる点を抜き出して，その位置をディジタル化します．**図6**では，三つのコンパレータの出力のANDをとることで変化点を選び出しています．変化点を選び出すことは2入力でも実現できますが，ここでは3入力としています．2入力の場合，遅延差やオフセット電圧，コンパレータの感度が原因で，コンパレータの結果が下から“…11101000…”となることがあります．そうなると，変化点を2ヵ所選んでしまうことになり，大きなコード・エラーを生じます．これを防止するために3入力としました．

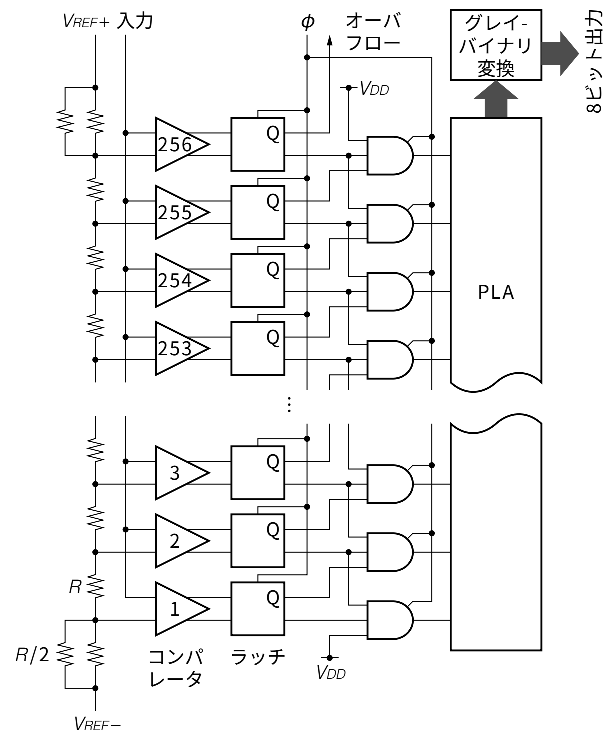


図6　全並列型A-Dコンバータ

抵抗ストリングによる基準電圧発生用D-A変換回路，および分解能と等しい数のコンパレータにより，1クロックでA-D変換を行う．コンパレータが‘1’から‘0’に変化する点をANDゲートを用いて検出し，ディジタル・コードに変換する．中間コードにグレイ・コードを用いることが多い．

ANDゲート出力はPLA（programmable logic array）を用いてコード変換します．このコードにグレイ・コードを用います．グレイ・コードは前回説明したように，「隣り合うコードはどれか1ビットしか違わない」という性質があります．したがって，二重に選択してもせいぜい隣のコードになるだけなので，被害は最小ですみます．

コンパレータの感度についての最大の問題は，メタステーブルとオフセット電圧です．メタステーブルとは，コンパレータの二つの入力にほぼ等しい電圧が入ったとき，論理値が定まらない状態が長く続くことを言います．このときに比較結果の情報を受け取る回路はディジタル回路なので，論理しきい値はアナログ回路と違って大きくばらつきます．そして，コンパレータの結果を受け取る回路が2個以上あったときに，片方は‘1’と認識し，もう片方は‘0’と認識することがよくあります．例えば，**図6**の3入力のAND回路への入力もそうなる可能性があります．これを防ぐため，コンパレータの応答速度を向上させるとともに，コンパレータのフリップフロップの出力に接続するバッファ段を，フリップフロップがメタステーブルになったときの出力電圧とは大きく異なる論理しきい値に設定する必要があります．フリップフロップは状態が定まり始めると高速に電圧変化するようになるので，こうすることにより，出力バッファの論理状態が不安定になる確率を減らせます．

● 差動増幅回路出力の負荷を隣どうし共有して高速対応

次にオフセット電圧対策です．100MHz前後までのサンプリング周波数のA-Dコンバータであれば，スイッチト・キャパシタを用いたオフセット・キャンセル技術を用いてオフセット電圧を低減できます．しかし，それ以上の周波数では消費電流が大幅に増加して，対策が困難です．直結型の差動増幅回路をコンパレータに用いることになりますが，高速化のためにトランジスタのチャネル長を短くするとオフセット電圧が大きくならざるを得ず，精度の確保が困難となります．

このような場合，**図7**のように差動増幅回路の出力の負荷を隣どうし共有する構造がよく用いられます．なお，ここで示した回路は，構造が複雑にならないようにシングルエンドの入力になっています．ふつうは誘導ノイズによる

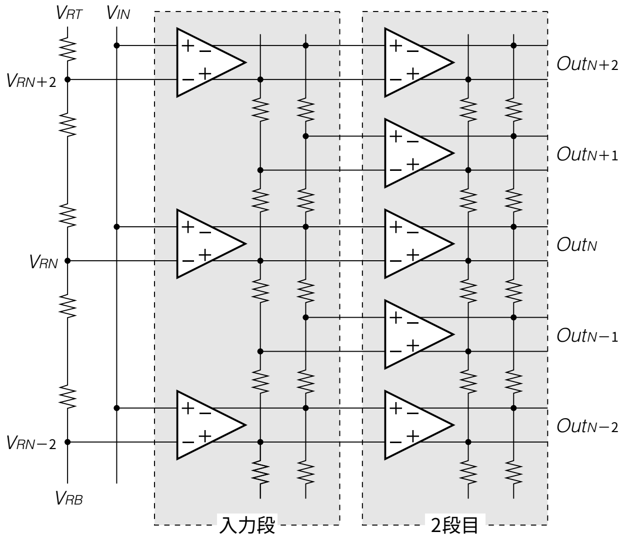


図7　高速並列型A-D コンバータの構造

コンパレータを単純に並べるのではなく，1個おきに差動増幅回路を並べ，この差動増幅回路の出力の間を抵抗分割して中間の値を内挿する．こうすることで信号入力容量を減らすとともに，差動増幅回路のオフセット電圧もある程度補償できるようになっている．内挿したあとの増幅段でも負荷抵抗を共有し，オフセット電圧をさらに補償するようにしている．

影響を小さくするため，また，低い電源電圧でも入力信号電圧を大きくするため，入力段もバランス型にします．

差動増幅回路と隣接する出力の間に接続された抵抗は，差動増幅回路のオフセット電圧を低減する効果を持ちます．そのメカニズムは次のような原理に基づいています．

いま，すべての差動増幅器にオフセット電圧がなくて差動増幅回路を接続する抵抗もなかったとします．それぞれの差動増幅回路の出力では，基準電圧のタップ間の差電圧Δに利得Aを乗じた電圧$A\Delta$だけ異なる電圧が出力されます．ここで，隣接する出力に抵抗Rを接続すると，下位側の出力から$A\Delta / R$の電流が流入し，上位側の出力へ同じだけの電流が流出します．差し引きゼロなので，出力間を接続する抵抗は回路に対して何の影響も与えないことになります．

ここで，真ん中の差動増幅回路にオフセット電圧があったとします．すると，その差動増幅回路の出力に対して流入する電流と流出する電流のバランスは崩れますが，オフセットがなかった状態に近づくように流れます．このようにしてオフセット電圧は差動増幅回路間で平均化するふる

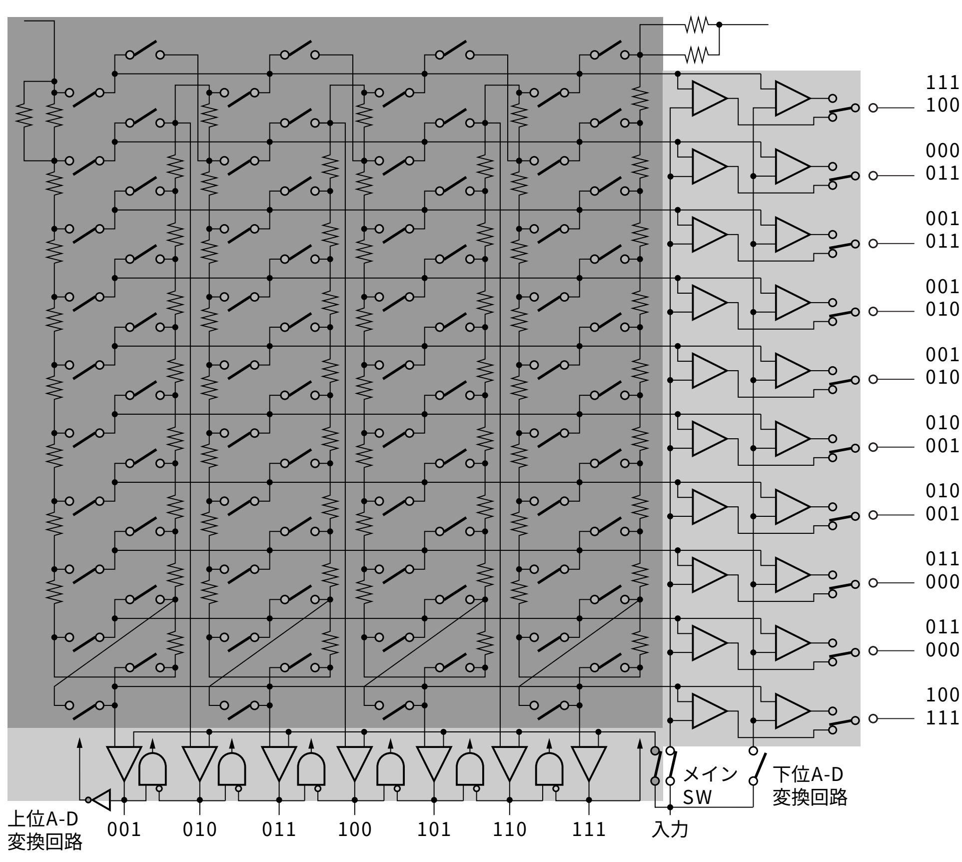


図8
サブレンジング型A-D コンバータ

A-D変換を上位，下位の2段階に分けて行う．入力信号のサンプリングは上位，下位とも同時であるが，下位の比較は上位が確定してからになるため，下位のA-D変換回路は2組必要になる．図では基準電圧発生の抵抗ストリングを上位，下位ともに共用しているが，独立させて設けることもある．

まいを示し，そのおかげで微分直線性を改善することができます．ただし，連続している複数の回路が1方向に偏っているような現象については，効果が低下します．また，変換レンジの両端には接続するべきコンパレータはなく，誤差が大きくなります．これを軽減するために，両端にダミーのコンパレータを数個ずつ並べる必要があります．

図7の回路では，入力段の差動回路を分解能の数だけ並べるのではなく，その半分しか並んでいません．残りは，隣り合う出力の間に接続された抵抗の中点にタップをとることでちょうど中間の電圧を得て，分解能を拡大しています．こうすると，初段の差動増幅回路の負荷は増加しますが，信号入力トランジスタの数が減り，入力容量を削減できます．非常に高速なA-Dコンバータでは，信号入力インピーダンスをできる限り高くすることも重要な設計要件なので，これは理にかなっていると言えます．

● 基準電圧選択スイッチを使うサブレンジング型

並列型では回路規模が大きすぎる，あるいは後述のパイプライン型では増幅回路の割合が高すぎて面積を小さくできない，というケースがあります．このような6～8ビット分解能に適した回路が，サブレンジング型（sub-ranging）A-Dコンバータです．典型的な回路例を**図8**に示します．この図では，6ビット分解能の場合を示しています．

この回路も並列型と同じく，抵抗分割による基準電圧発生回路，下辺に並んだ上位3ビットの変換を行うコンパレータ，このコンパレータの結果により下位側のコンパレータに供給する基準電圧を選択するスイッチ，および右辺に並んだ下位3ビット＋α分の変換を行うコンパレータ2組から構成されます．

動作の順序は，まず最初のクロック半周期で，上位のコンパレータと下位のコンパレータ1組により，入力信号をサンプリングします．次の半周期で，上位のコンパレータ入力を基準電圧に切り替え，比較を行います．2クロック目の半周期で，上位の結果に対してANDゲートで変化点コーディングを行って上位を出力するとともに，変化点に対応した下位3ビット分の基準電圧が接続されたスイッチをONして下位のコンパレータに送ります．このとき，**図8**では3ビットより上下に1ビット分広い範囲を下位のA-Dコンバータが探索するようになっています．また，この半周期には，上位のコンパレータと下位のもう1組のコンパレータが新たに信号をサンプリングしますが，前のクロックで信号をサンプリングしていた下位のコンパレータ1組は送られてきた基準電圧により下位のA-D変換を行うことになります．

下位の比較を行うときに探索範囲を拡張しているのは，上位の変換でオフセット電圧のために下位の比較を行う際に，実際の電圧が変換レンジの外になることがあるためです．この対策として，本来の変換レンジの外側まで拡張して変換を行うことで補正が可能となります．**図9**にこのタイプのA-Dコンバータに用いるコンパレータの例を示します．これは簡単な回路ですが，電源/グラウンド・ノイズに非常に弱いという欠点を持っています．そのため，例えば**図10**のようにバランス化する改良が施されています．

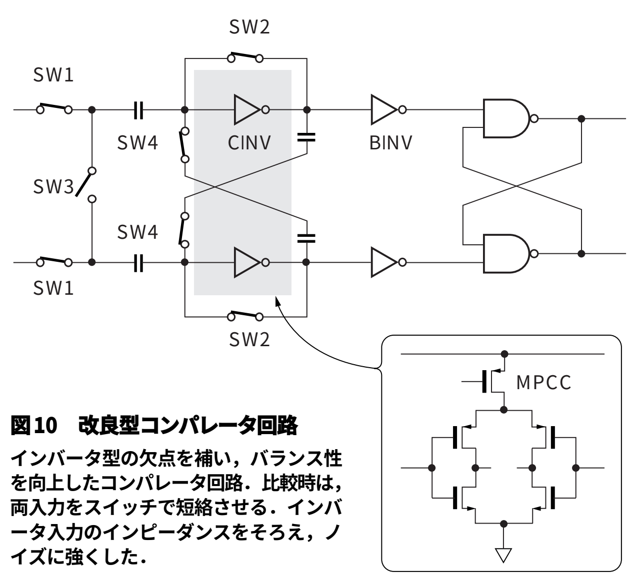


図10　改良型コンパレータ回路
インバータ型の欠点を補い，バランス性を向上したコンパレータ回路．比較時は，両入力をスイッチで短絡させる．インバータ入力のインピーダンスをそろえ，ノイズに強くした．

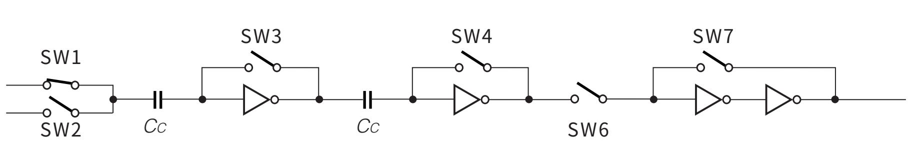


図9　サブレンジング型A-D変換回路に用いるコンパレータの例
インバータを容量結合し，入出力を短絡することで，オフセット・キャンセルを施したコンパレータ回路．構造が簡単だが，インバータを増幅素子としているため，電源ノイズに非常に弱いという欠点がある．

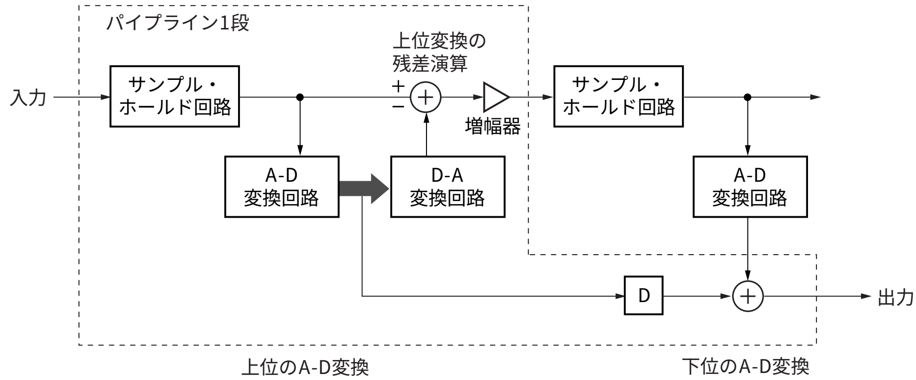


図11
パイプライン型A-Dコンバータの構成
サンプル・ホールド回路，A-D変換回路，D-A変換回路，減算増幅器，ディジタル加算器が1組になり，これらが縦続接続される．初段は荒い変換だが，段が進むにつれて細かい変換へと移っていく．こうした処理がクロックに同期しながらパイプライン的に進む．

この回路では，ペアとしたインバータの電源をPMOSトランジスタMPCCによる定電流回路で供給しています．こうすることにより，もっとも消費電流が多くなるリセット時の消費電流を削減して電源変動を防いでいます．リセット時にはSW1，SW2を閉じ，少し遅れてSW4を閉じることにより，信号と基準電圧が同時にサンプリングされます．比較時にはSW1，SW2を開き，SW3を閉じて両入力を短絡することで差を求めます．このときSW4も閉じているため，二つのインバータはフリップフロップとして動作します．フリップフロップとして動作し始めると，インバータに流れる電流は急激に減少し，低電流回路は低い抵抗として動作するので，インバータの出力電圧は電源電圧に等しい論理振幅が得られます．

最後に，必要な素子数の削減量を計算しましょう．8ビット並列型A-Dコンバータではコンパレータが255個必要でした．これに対して，レンジの上位を例えば4ビット，下位を4ビットとし，±2LSBで4LSB拡張すると，サブレンジング型A-Dコンバータに必要なコンパレータの数は，15＋(15＋4)×2＝53個ということになります．下位で2LSBを拡張しているので，上位4ビットの8ビット精度に対して，±2LSBの精度要求に緩和できていることになります．

● 比較の電圧を高くしてノイズに強くしたパイプライン型

サブレンジング型の構成は，増幅器が不要という利点があります．そのかわり，下位の判定を行うときに最小分解能と等しい信号振幅の比較を行う必要があります．このことは，分解能が少なくて1LSBの電圧が大きいときには問題が生じにくいのですが，1LSBの値が小さくなるにつれて周囲のノイズに対する感度が高くなります．パイプライン型A-Dコンバータは増幅器を必要とする代わりに，比較を行う電圧をつねにある程度大きくできるという特徴を持っています．

基本構成を**図11**に示します．入力信号は，まずサンプル・ホールド回路によりサンプリングされます．この信号は1段目のA-D変換回路によってディジタルに変換されます．変換されたディジタル信号は出力回路へ送られるとともに，D-A変換回路によってアナログ信号に戻され，保持されていた入力信号との差がとられます．この差が入力信号と1段目のA-D変換出力の差ですから，これを1段目の分解能より1ビット少ない値に相当する利得倍に増幅し，再びサンプル・ホールド回路で保持して，クロック1周期を終えます．次のタイミングでは，入力のサンプル・ホールド回路は次の入力信号をサンプリングしますが，2段目は1段目から送られてきた差信号をA-D変換し，これを出力回路に送るとともに，1段目と同じようにD-A変換して2段目に対する入力信号から差し引きます．この結果は，2段目の入力信号とA-D変換出力の差になっています．これを再び増幅し，次の段に送って，さらに分解能を高めてゆくというのがパイプライン型A-Dコンバータです．したがって，サンプル・ホールド回路，A-D変換回路，D-A変換回路，OPアンプ，ディジタルの遅延器と加算器が1組となって繰り返される構造を持っています．ただし，最終段は次の段に信号を送らないので，A-D変換回路と加算器だけになります．

これを信号レベル図で表したのが**図12**です．この図は1段を4ビット分解能とし，誤差補正を上下1/2LSB分だけ設けてあります．入力信号として“1001010”よりわずかに高い電圧が入ったとします．1段目のA-D変換回路の出力は本来“1001”ですが，1LSB小さい値“1000”を出力し，入力信号から“1000”に相当する電圧を差し引き，8倍に増幅

して2段目に送ります．ここでA-D変換回路は，コードの代表値より1/2LSBだけ小さい値がコードの切り替わり点になっています．これより1/2LSBだけ小さい電圧を基準として次の段に送られています．

次の段では，8倍された信号をA-D変換して“1010”を出力しています．この出力と1段目の出力の和をとれば，2段目までの結果が得られるわけです．ここで，1段目と2段目では8倍のスケーリングが行われているので，3ビット・シフトして1ビット・オーバラップして加算することになります．その結果が“1001010”です．このとき，3段目があるのであれば，2段目も1LSB小さい値“1001”を出力し，これに相当するD-A変換結果を2段目の入力から差し引き，3段目に供給することになります．

ここで，1段目のコンパレータにオフセットがあり，まちがえたとします．下のコードに対して1/2LSB以上の電圧マージンがありますが，上のコードとは1/2LSB以下の電圧マージンになっているので，上のコードとまちがえる可能性がより大きいと言えます．1段目のA-D変換回路が“1001”となっても2段目には1LSBだけ小さい電圧が送られるので，2段目でこの誤りは解消されます．このように，パイプライン型A-Dコンバータではパイプライン1段の1/2LSB間の誤差を補正できる構造になっています．

● パイプライン1段の分解能によって性能が決まる

パイプライン型A-Dコンバータの設計では，1段を何ビット分解能とするのかが一つの選択となります．1段の分解能を高くすると段数は少なくて高い分解能を実現できますが，増幅器の利得も高くなります．利得が高くなるとカットオフ周波数がその分低下するので，高速化が難しくなります．逆に1段を低ビットにすると，利得は小さくてすみますが，段数が増加します．現状，10ビットA-Dコンバータの場合，1.5ビット8段と最終段を2ビットにした設計がもっともポピュラです．また，12ビット以上のA-Dコンバータでは，1段当たり4～5ビットとする場合がふつうです．

実際のハードウェアとしては，A-D変換回路は並列型A-Dコンバータになります．例えば，10ビットを4ビット3段で実現すると，16×3＝48個のコンパレータで済みます．そのかわり，D-A変換回路と減算増幅器が必要です．D-A変換回路はスイッチト・キャパシタ型D-Aコンバータで，ちょうど逐次比較型で説明したキャパシタ・アレイ型の構造のコンパレータをフィードバック型のOPアンプに置き換えた形になります．これが2個必要です．ここで，OPアンプの利得は最終的な分解能をNビットとしたとき，6NdBより10dB以上高くないと，差の演算を行うときの誤差が許容できないほど大きくなるので，注意が必要です．

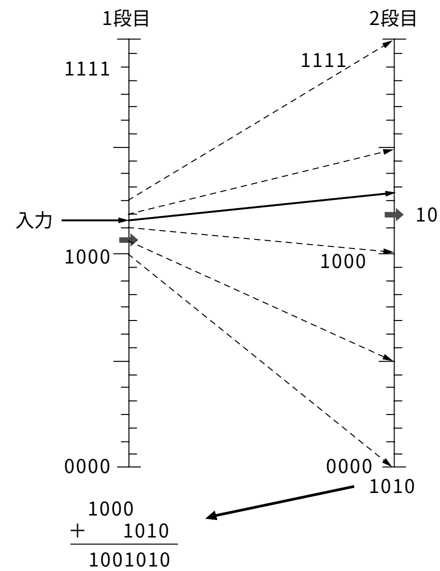


図12 パイプライン型A-Dコンバータの変換レンジ
入力された信号を，まず4ビットでA-D変換する．その結果を用いて信号電圧の付近の2LSB分を増幅し，2段目のA-D変換を行う．これを縦続的に何段か行う．これらの結果を1ビットだけオーバラップして加算することで，変換結果を得る．本来，最終分解能の精度が必要となる各段のA-D変換精度が，その段の分解能の1/2LSBまで緩和される．

次回はオーバサンプリング型A-D/D-Aコンバータに用いるΔ-Σ変調器の話題を取り上げます．

ゆかわ・あきら
NECエレクトロニクス（株）コア開発事業部

<筆者プロフィール>
湯川 彰．NECエレクトロニクス コア開発事業部で，主としてアナログ設計に関連する設計技術の効率化と，どのようなコアをどのように設計するかを検討しています．でも，最近はどの設計もアナログ的になり，関わらなければならない事がらがどんどん増えて困惑しています．本誌の編集者からは「初心者向けの記事を…」と言われていますが，筆者自身30年以上この世界にいるもので，「アナログ技術の一般常識と常識外の境界をどこに定めるか」の難しさを味わっています．